

**Partial English Translation of**  
**LAID OPEN unexamined**  
**JAPANESE PATENT APPLICATION**  
**Publication No. 11-298040**

Line 3 to the bottom line of [0010]

(First Embodiment) Figure 1 is the schematic view of the structure of a semiconductor light emitting element according to the first embodiment of the present invention. In the drawing, a sapphire substrate denoted by reference number 101, a GaN buffer layer denoted by reference number 102, which is formed on the sapphire substrate 101, an n-type GaN layer denoted by reference number 103, an n-type  $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$  lower part cladding layer denoted by reference number 104, a  $\text{In}_{0.2}\text{Ga}_{0.8}\text{N}$  active layer denoted by reference number 105, a thin layer p-type  $\text{Al}_{0.05}\text{Ga}_{0.95}\text{N}$  evaporation preventing layer denoted by reference number 106, a p-type  $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$  upper part cladding layer denoted by reference number 107, and a p-type electrode GaN cap layer denoted by reference number 108 are deposited in this order. Further, reference number 109 denotes a metal film formed of Ni or Pd and provided on part of the GaN cap layer 108, 110 denotes a Mo conductive film provided on the metal film 109, 111 denotes an Au electrode pad provided on part of the Mo conductive film 110, 112 denotes an n-electrode provided on part of the exposed surface of the n-type GaN layer, and 113 denotes a  $\text{SiO}_2$  dielectric film.

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-298040

(43)Date of publication of application : 29.10.1999

(51)Int.Cl.

H01L 33/00

(21)Application number : 10-098839

(71)Applicant : SHARP CORP

(22)Date of filing : 10.04.1998

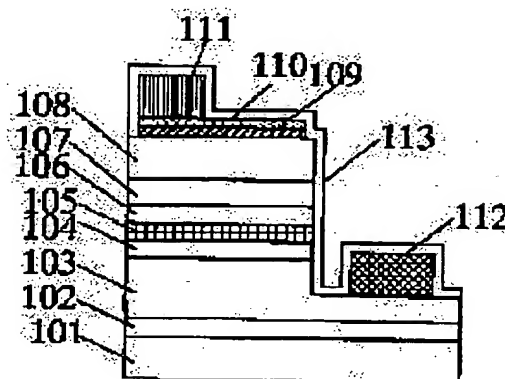
(72)Inventor : KAMIKAWA TAKESHI  
ITO SHIGETOSHI

## (54) SEMICONDUCTOR LIGHT-EMITTING ELEMENT AND MANUFACTURE THEREOF

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce the sheet resistance, raise the thermal stability and raise the conductivity, even after a high temperature process by forming a higher melting point conductive film on a metal film to contact a nitride semiconductor than this metal and forming a dielectric film on the conductive film to form an ohmic electrode.

**SOLUTION:** An n-electrode 112 is formed on a part of the exposed surface of an n-type GaN layer 103, a resist is coated to pattern it, an Ni or Pd metal film 109 is deposited on the part of a p-type GaN cap layer 108, a high melting point metal Mo conductive film 110 is formed thereon to form a p-electrode, an Au pad layer 111 is formed on a part of the p-electrode, an SiO<sub>2</sub> dielectric film 113 is formed by sputtering, and the annealing is made in an inert gas at, e.g. 800° C for 10 min to improve also the ohmic characteristic between a low resistance p-semiconductor of the p-layer of GaAs semiconductor and electrode.



## LEGAL STATUS

[Date of request for examination] 17.01.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-298040

(43) 公開日 平成11年(1999)10月29日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 33/00

識別記号

F I

H 0 1 L 33/00

C

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願平10-98839

(22) 出願日 平成10年(1998)4月10日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 神川 剛

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72) 発明者 伊藤 茂穂

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

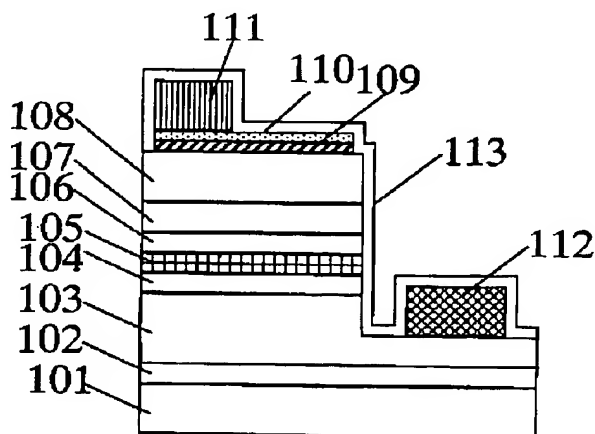
(74) 代理人 弁理士 小池 隆彌

(54) 【発明の名称】 半導体発光素子及びその製造方法

(57) 【要約】

【課題】 酸素を含む誘電体膜を設けた従来の半導体素子においては、長期に渡る通電等において誘電体膜中の酸素に起因して緩やかにNiの酸化が進み電極部分が高抵抗化するといった問題があった。さらには、製造工程において、誘電体膜を形成した後に、電極と半導体との合金化アロイ等の熱処理プロセスを行ったときにも、電極部分が高抵抗化した。透光性オーミック電極を備え、シート抵抗が小さく更に熱的安定性が高く、高温プロセス後に於いても、高い導電性の発光素子を提供することを目的とする。

【解決手段】 窒化物系半導体に接するオーム性電極と、該オーム性電極の少なくとも一部を覆う酸化物絶縁膜とを備えた半導体発光素子において、該オーム性電極は、該窒化物半導体に接触する金属膜と、該金属膜上に形成された、この金属より高融点の導電膜と酸素を含む誘電体膜からなる半導体素子。



## 【特許請求の範囲】

【請求項1】 窒化物系半導体に接するオーム性電極と、該オーム性電極の少なくとも一部を覆う酸化物絶縁膜とを備えた半導体発光素子において、該オーム性電極は、該窒化物半導体に接触する金属膜と、該金属膜上に形成された該金属膜より高融点の導電膜とから構成され、かつ該導電膜上に誘電体膜が形成されていることを特徴とする半導体発光素子。

【請求項2】 前記金属膜がNiもしくはPdを含んでなり、前記導電膜がPt、W、WN、V、Mo、Taのいずれかを含んでなる事を特徴とする請求項1に記載の半導体発光素子。

【請求項3】 p型窒化物半導体表面に、NiもしくはPdを含む金属膜、Pt、W、WN、V、Mo、Taのいずれかを含んでなる導電膜を順次形成する工程と、その後、該導電膜上に、酸素を含む誘電体膜を形成する工程と、さらにその後、400℃以上800℃以下で熱処理する工程とを、含むことを特徴とする半導体発光素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は窒化物系半導体発光素子に関し、特にその電極構造、および、その製造方法に関する。

## 【0002】

【従来の技術】従来の窒化ガリウム系化合物半導体発光素子では、サファイア等の絶縁性基板が使用されている。この絶縁性基板を用いた発光素子では、裏面側に電極を設けた構造にすることが困難であり、半導体層側にpn両電極を設けた構造がとられている。

【0003】図4は、従来技術に基づく発光ダイオード(LED)の概略模式図である。201はサファイア基板、202はn-GaN:Si、203は活性層、204はp-GaN:Mg、205はp-GaN上に形成されたNi/Au透光性電極、206はRIBE (Reactive ion beam etching) によってエッチングされ露出したn-GaN上に形成されたn型電極、207はNi/Au透光性電極上に形成されたボンディング用電極パッドであり、208はSiO<sub>2</sub>誘電体膜である。ここで、Ni/Au透光性電極の構成は、Niがp-GaN:Mgとの間で、オーム性接触を得るために選択され、AuがNiの酸化を防止するために選択されている。しかし、Au電極の上に保護膜を付けた構造の場合、この保護膜に含まれる酸素による酸化は防ぐことができない。このような発光素子を台座に固定するにあたって、半導体層側を下にする方法では、各電極への通電に工夫が必要であり、生産性が悪くなるため、一般的には、半導体層側を上にする方法が用いられている。よって、素子内部で生じた発光を有効に外部に取り出せるように、p側オーム性電極が、上述の如く、

透光性となっている。

## 【0004】

【発明が解決しようとする課題】このように、p側オーム性電極は、透光性という性質上50~200Åという非常に薄い膜厚で形成する必要があった。SiO<sub>2</sub>誘電体膜208は、このような非常に薄い電極を、製造行程等における損傷から保護するために形成されたものである。本発明者の実験的知見によると、SiO<sub>2</sub>誘電体膜を設けた従来の半導体素子においては、長期に渡る通電等においてSiO<sub>2</sub>に起因して緩やかにNiの酸化が進み電極部分が高抵抗化するという問題があった。さらには、製造工程において、誘電体膜を形成した後に、電極と半導体との合金化アロイ等の熱処理プロセスを行ったときにも、電極部分が高抵抗化した。

【0005】また、Si<sub>3</sub>N<sub>4</sub>等の組成に酸素を含まない窒化膜に於いても膜形成時に含まれてしまう極微量の酸素によってもこの透光性電極の酸化が引き起こされてしまう事が分かった。この高抵抗化によって、シート抵抗が高くなり、駆動電圧を低減することが困難になる。

20 【0006】本発明は以上の点に鑑み、透光性オミック電極を備え、シート抵抗が小さく更に熱的安定性が高く、高温プロセス後に於いても、高い導電性の発光素子を提供することを目的とする。

## 【0007】

【課題を解決するための手段】本発明の半導体発光素子は、窒化物系半導体に接するオーム性電極と、該オーム性電極の少なくとも一部を覆う酸化物絶縁膜とを備えた半導体発光素子において、該オーム性電極は、該窒化物半導体に接触する金属膜と、該金属膜上に形成された、この金属より高融点の導電膜とからなり、さらに該導電膜上に誘電体膜が形成されていることを特徴とする。

【0008】また、前記金属膜がNiもしくはPdを含んでなり、前記導電膜がPt、W、WN、V、Mo、Taのいずれかを含んでなる事を特徴とする。

【0009】本発明の半導体発光素子の製造方法は、p型半導体窒化物半導体表面に、NiもしくはPdを含む金属膜、Pt、W、WN、V、Mo、Taのいずれかを含んでなる導電膜を順次形成する工程と、その後、該導電膜上に、酸化物絶縁膜を形成する工程と、さらにその後、400℃以上1000℃以下で熱処理する工程とを、含むことを特徴とする。

## 【0010】

【発明の実施の形態】以下、本発明を具体的な実施の形態に基づいて説明する。

(実施の形態1) 図1は、本発明の実施の形態1の半導体発光素子の構造概略図である。図において、101はサファイア基板であり、その上面に102はGaNバッファ層、103はn型のGaN層、104はn型Al<sub>0.1</sub>Ga<sub>0.9</sub>N下部クラッド層、105はIn<sub>0.2</sub>Ga<sub>0.8</sub>N活性層、106は薄層p型Al<sub>0.05</sub>Ga<sub>0.95</sub>N蒸発防

止層、107はp型 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 上部クラッド層、108はp型電極 $\text{GaN}$ キャップ層が順次積層されている。また、109は $\text{GaN}$ キャップ層108上の一部に設けられた $\text{Ni}$ もしくは $\text{Pd}$ からなる金属膜、110は金属膜109上に設けられた $\text{Mo}$ 導電膜、111は $\text{Mo}$ 導電膜110上の一部に設けられた $\text{Au}$ 電極パッド、112は、n型 $\text{GaN}$ 層の露出した表面の一部に設けられたn電極、113は $\text{SiO}_2$ 誘電体膜である。

【0011】次に、このような半導体発光素子の製造方法を説明する。まずMOCVD装置を用いて $\text{H}_2$ 雰囲気中でサファイア基板101を1050℃で加熱し、基板の表面処理を行う。その後、基板温度を500℃まで下げ、 $\text{GaN}$ バッファ層102を形成する。この時バッファ層の層厚は250Åとする。その後基板温度を1020℃まで上げてn型の $\text{GaN}$ 層103を4μm程度成長させ、同じ温度でn型 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 下部クラッド層104を1μm成長させる。次に基板温度を800℃に下げノンドープ又は $\text{Si}$ ドープ $\text{In}_{0.2}\text{Ga}_{0.8}\text{N}$ 活性層105を約200Åの膜厚で成長させる。次に基板温度をノンドープ又は $\text{Si}$ ドープ $\text{In}_{0.2}\text{Ga}_{0.8}\text{N}$ 活性層の成長温度以上かつp型 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 上部クラッド層の成長温度以下である約900℃にてp型 $\text{Al}_{0.05}\text{Ga}_{0.95}\text{N}$ 蒸発防止層106を成長させる。その後成長温度を約1020℃まで上げ、p型 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 上部クラッド層107を約1μm成長させる。次にp型 $\text{GaN}$ キャップ層108を約1μm成長させる。この時p型 $\text{Al}_{0.05}\text{Ga}_{0.95}\text{N}$ 蒸発防止層106は、基板温度を1020℃まで上げる間に良質膜となる。

【0012】その後、n型電極を形成するため、レジストを塗布してフォトリソグラフィによりパターンニングを行い、成長した半導体層の一部をドライエッチングにより除去してn型の $\text{GaN}$ 層103を露出させ、n型の $\text{GaN}$ 層103の露出した表面の一部にn電極112を形成する。次に、レジストを塗布してフォトリソグラフィによりパターンニングを行い、p型 $\text{GaN}$ キャップ層108上の一部に $\text{Ni}$ もしくは $\text{Pd}$ からなる金属膜109を30~100Åの膜厚で蒸着し、更にその上に10~300Åの厚さで $\text{Mo}$ 導電膜110を形成し、p電極とした。またp電極を形成したときと同様の手順で、p電極上の一部に $\text{Au}$ パッド電極111を4000Åの厚さで形成する。最後にスパッタリングにより $\text{SiO}_2$ 誘電体膜113を2000~5000Åの厚さで形成する。その後、窒素雰囲気中もしくは $\text{Ar}$ 等の不活性ガス中で800℃で10分間アニール処理を行う。このアニール処理は、窒化ガリウム系半導体のp型層の低抵抗p型半導体と電極間のオーミック特性の向上を兼ねるものである。ここで金属膜の材料として、p- $\text{GaN}$ と良好なオーミック接触が得られる $\text{Pd}$ 、 $\text{Ni}$ を用いた。

【0013】本実施の形態の半導体発光素子においては、長期に渡って通電しても、従来のものと比較して、

安定した特性が得られた。図2を参照してこのことを説明する。図2は金属膜上の導電膜を $\text{Au}$ 、 $\text{Ni}$ 、 $\text{Pt}$ 、 $\text{V}$ 、 $\text{Mo}$ 、 $\text{Ta}$ 、 $\text{W}$ （各々の金属の融点はそれぞれ、1064℃、1455℃、1772℃、1890℃、2610℃、2996℃、3387℃である。）で形成したとき、LED素子の劣化率を示したものであり、横軸を各導電膜の融点でプロットしている。ここで劣化率とは、各金属で導電膜を形成したLED素子100個に30mAの電流を流し、3000時間後、動作電圧の上昇、点灯しなくなった等の不良化した素子の割合である。また、●は導電膜下の金属膜が $\text{Ni}$ の場合、■は $\text{Pd}$ の場合である。導電膜が $\text{Au}$ もしくは $\text{Ni}$ の場合劣化率は70%以上と非常に高く、 $\text{SiO}_2$ との緩やかな酸化によって素子が劣化してしまうことが分かる。それに対し、導電膜の金属の融点が該導電膜下の金属膜の融点より高い場合、劣化は30%以下と非常に低くなる。

（ちなみに $\text{Ni}$ の融点は1455℃、 $\text{Pd}$ の融点は1554℃である。）この傾向は、金属膜が $\text{Ni}$ でも $\text{Pd}$ でも同じ事が分かった。更に図に於いて×で示した $\text{Ni}/\text{Au}$ の電極構造で $\text{SiO}_2$ 誘電体膜がない場合は、劣化率は約20%と低くなり、 $\text{Ni}/\text{Au}$ 電極と $\text{SiO}_2$ 誘電体膜の酸化が無いためであると考えられる。図には記載していないが、 $\text{WN}$ も劣化率は金属膜が $\text{Ni}$ の場合には、15%、 $\text{Pd}$ の場合には、 $\text{Ni}/\text{Au}$ 透光性電極と $\text{Ni}/\text{Mo}$ 透光性電極を0~1000℃で10分間アニールした後のシート抵抗を図3に示してある。0℃の点はアニール前のシート抵抗を示している。 $\text{Ni}/\text{Au}$ 透光性電極は70/50Å、 $\text{Ni}/\text{Mo}$ 透光性電極は各々70/50Åの厚さで形成されており、トータルの膜厚も同じにしている。この場合、800℃のアニール後において $\text{Ni}/\text{Au}$ 電極は100Ω程度と高抵抗化しているにもかかわらず $\text{Ni}/\text{Mo}$ 透光性電極は0.2Ω/cm<sup>2</sup>程度の低抵抗なシート抵抗を保つことができた。 $\text{Mo}$ が $\text{SiO}_2$ による $\text{Ni}$ の酸化を有効に防止していることが分かる。このような2層構造をとることで $\text{Ni}/\text{Au}$ 電極以上に熱的安定性が高い、高信頼性の電極構造を作成することができた。

【0014】また、誘電体膜が $\text{SiO}_2$ の様な酸化物ではなく、 $\text{Si}_3\text{N}_4$ の様な窒化物であっても $\text{Si}_3\text{N}_4$ を形成する際に膜中に取り込まれる酸素によって酸化が進行し $\text{Ni}/\text{Au}$ 電極u電極を高抵抗化させる事が分かった。このような場合に於いても $\text{Ni}/\text{Mo}$ 電極は0.2Ω/cm<sup>2</sup>程度の低抵抗なシート抵抗を保つことができ、 $\text{Mo}$ が $\text{Si}_3\text{N}_4$ 膜中に取り込まれた酸素による $\text{Ni}$ の酸化を効果的に防止する事が分かった。更に、 $\text{Ni}/\text{Mo}$ 透光性電極に関して、半導体と金属間のコンタクト抵抗も従来の $2 \times 10^{-2} \Omega \cdot \text{cm}^2$ と同程度の値が得られており良好なオーミック接触が得られている。図3に示す通り、アニール温度としては、400℃以上800℃以下が好ましい。400℃以下ではp- $\text{GaN}$ 層中の

10

20

30

40

50

水素が抜けきらずp層が高抵抗のままになってしまう。また800℃以上ではNi電極の再蒸発や凝集を引き起こしてしまい好ましくない。この事情は、NiにかえてPd、MoにかえてW、WN、V、Ta、Ptのいずれかを用いた場合であっても同様であった。またNi金属膜の厚さは30Å以下では均一な膜形成ができず、100Å以上では透光性が悪くなるので好ましくない。Ni金属膜上のMo導電膜の厚さは10Å以下では均一な膜形成が難しく、また90Å以上では透光性が悪くなり好ましくない。好ましくはNiの厚さは $30 \leq d \leq 100$ Åの間で、Mo導電膜の厚さは $10 \leq d < 90$ Åの間となる。また透光性を考えると2層の合計の膜厚が200Åを越えないことが好ましい。

【0015】本実施の形態において、導電膜110としてMoを用いたが、これに変えて、W、WN、V、Ta、Ptにしても同様の効果が得られた。また、絶縁膜として、SiO<sub>2</sub>に変えて、Al<sub>2</sub>O<sub>3</sub>、TiO<sub>3</sub>、TiO<sub>2</sub>、Si<sub>3</sub>N<sub>4</sub>等の他の酸化物絶縁体を用いても、同様の効果が得られた。

【0016】

【発明の効果】従来の窒化ガリウム系化合物半導体発光素子、特にLEDでは、透光性電極としてNiが用いられてきた。また透光性電極という性質上50~200Åという非常に薄い膜厚で形成される。また、透光性電極上に電極を保護するためにSiO<sub>2</sub>誘電体膜を形成している。このため、電極と半導体との合金化アロイ、更には電極形成後のp型化アニールといった高温プロセスを行ったときNiまたはNi/Au透光性電極が誘電体膜であるSiO<sub>2</sub>によって酸化する、また長期に渡る通電等においても緩やかに酸化が進み高抵抗化するという問題が分かった。この高抵抗化によって、シート抵抗が高くなり、駆動電圧を低減することが困難になる。そこで、Ni金属膜上に導電膜であるMo、W、WN、V、Ta、Ptを10Åから300Åの間で形成する事によ

り高温プロセスに於いてもNiが誘電体膜によって高抵抗化せず、熱プロセスに対して安定な電極構造を作製する事ができた。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に関わる発光ダイオードの概略模式図である。

【図2】各導電膜でLED素子を作成したときの、素子の劣化率である。

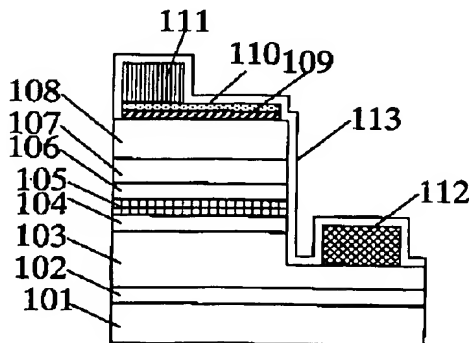
【図3】Ni/Au透光性電極とNi/Mo透光性電極のシート抵抗のアニール温度依存性である。

【図4】従来の発光ダイオードの概略模式図である。

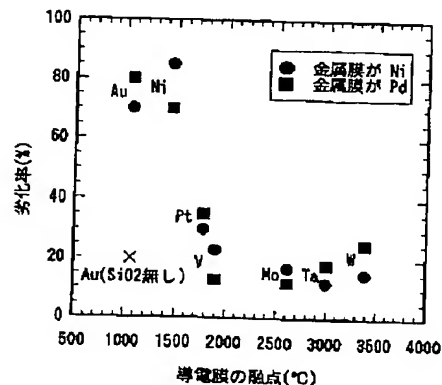
【符号の説明】

- 101 サファイア基板
- 102 GaNバッファ層
- 103 n型のGaN層
- 104 n型Al<sub>0.1</sub>Ga<sub>0.9</sub>N下部クラッド層
- 105 In<sub>0.2</sub>Ga<sub>0.8</sub>N活性層
- 106 p型Al<sub>0.05</sub>Ga<sub>0.95</sub>N蒸発防止層
- 107 p型Al<sub>0.1</sub>Ga<sub>0.9</sub>N上部クラッド層
- 108 p型GaNキャップ層
- 109 Ni金属膜
- 110 Mo導電膜
- 111 Au電極パッド
- 112 n電極
- 113 SiO<sub>2</sub>誘電体膜
- 201 サファイア基板
- 202 n-GaN:Si
- 203 活性層
- 204 p-GaN:Mg
- 205 Ni透光性電極またはNi/Au透光性電極
- 206 n型電極
- 207 ボンディング用電極パッド
- 208 SiO<sub>2</sub>の誘電体膜

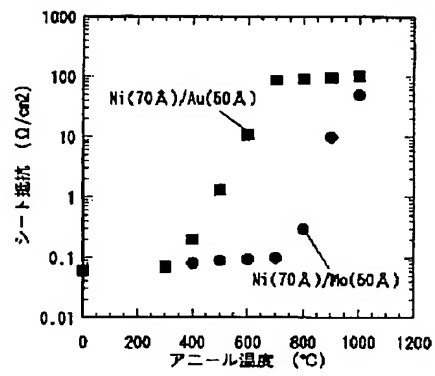
【図1】



【図2】



【図3】



【図4】

